

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-324945

(43)Date of publication of application : 25.11.1994

(51)Int.Cl. G06F 12/10
G11C 16/06

(21)Application number : 05-136836

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 14.05.1993

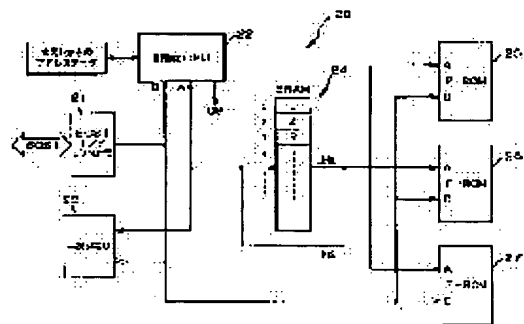
(72)Inventor : NISHIO KIYOKAZU

(54) MEMORY CONTROLLER

(57)Abstract:

PURPOSE: To provide a memory controller for shortening time of write/erase for a non-volatile memory.

CONSTITUTION: A CPU 22 for control use temporarily stores both designated address data inputted from a host out of the figure and data inputted through an SCSI interface controller 21 in a primary memory 23 and confirms whether the erasing operation of the inputted designated address data inside flash ROM 25-27 is completed or not based on a block managing table stored in the primary memory 23, when the erasing operation is not completed, a data wiring operation is controlled by converting the designated address of a erasure completed data block into the designated address, and the erasing operation to the data block of the conversion designated address is controlled.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-324945

(43) 公開日 平成6年(1994)11月25日

(51) Int.Cl.⁶

G 0 6 F 12/10

G 1 1 C 16/06

識別記号

庁内整理番号

E 7608-5B

F I

技術表示箇所

G 1 1 C 17/ 00

3 0 9 Z

審査請求 未請求 請求項の数 2 F D (全 9 頁)

(21) 出願番号 特願平5-136836

(22) 出願日 平成5年(1993)5月14日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 西尾 清和

東京都羽村市栄町3丁目2番1号 カシオ

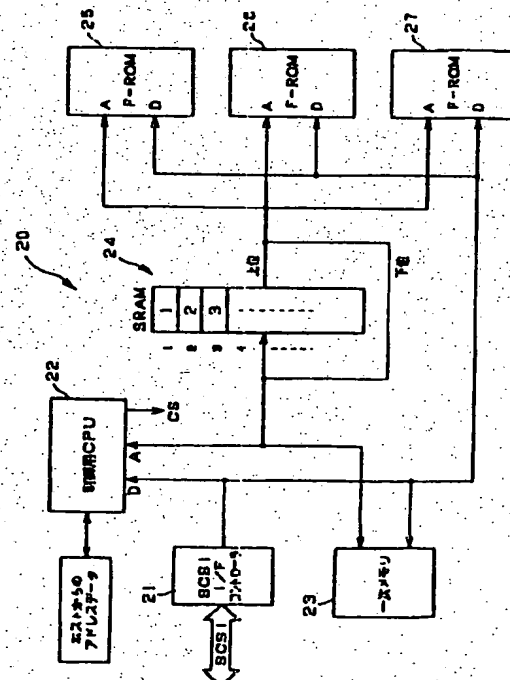
計算機株式会社羽村技術センター内

(54) 【発明の名称】 記憶制御装置

(57) 【要約】

【目的】 本発明は、不揮発性メモリに対する書込み／消去時間の短縮を実現する記憶制御装置を提供することを目的とする。

【構成】 制御用CPU22は、図外のホストから入力される指定アドレスデータ及びSCSIインターフェースコントローラ21を介して入力されるデータを一時的に一次メモリ23に格納し、入力された指定アドレスデータのフラッシュROM25～27内の消去動作が終了しているか否かを一次メモリ23に格納されているブロック管理テーブルに基づいて確認し、消去動作が完了していないときは、消去が完了しているデータブロックの指定アドレスを当該指定アドレスに変換してデータ書込み動作を制御するとともに、当該変換指定アドレスのデータブロックに対する消去動作を制御する。



【特許請求の範囲】

【請求項1】 指定アドレスにより複数の記憶領域を形成し、データが書込まれた記憶領域に対して随時消去動作が必要な記憶手段と、

この記憶手段において消去動作が行われたか否かを各記憶領域の指定アドレスに基づいて管理する管理手段と、上記記憶手段の指定アドレス毎にデータ書込み要求を受け付けると、上記管理手段の記憶する指定アドレスデータに基づいて該書込み要求を受け付けた当該指定アドレスの記憶領域が消去済みか否かを確認し、消去済みでないとき、当該他の消去済み記憶領域の指定アドレスを当該指定アドレスに変換するアドレス変換手段と、

このアドレス変換手段により変換される指定アドレスに基づいて上記記憶手段に形成される記憶領域に対するデータ書込み動作を制御するとともに、当該変換指定アドレスに対する消去動作を制御する制御手段と、を具備したことを特徴とする記憶制御装置

【請求項2】 指定アドレスにより複数の記憶領域を形成し、データが書込まれた記憶領域に対して随時消去動作が必要な記憶手段と、

入力される指定アドレスに基づいて記憶手段の各記憶領域に対するデータの書込み動作及び消去動作を制御する制御手段と、

を備えた記憶制御装置において、

上記制御手段から出力される消去命令に応じて上記記憶手段の各記憶領域に対する消去動作を実行するとともに、この消去動作の完了を確認し、消去確認信号を上記制御手段に出力する消去手段を設け、

上記制御手段は、この消去確認手段から入力される消去確認信号により上記記憶手段の各記憶領域におけるデータ消去を確認することを特徴とする記憶制御装置

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、記憶制御装置に係り、詳細には、フラッシュRAM等のメモリに対するデータの書込み／消去動作を制御するのに好適な記憶制御装置に関する

【0002】

【従来の技術】 従来、上記記憶装置の補助記憶装置としてハードディスク装置等のディスクシステムが一般に使用されているが、アクセスする際の動作時間がかかるため、より高速に動作する補助記憶装置に対する要求が高まっている。この要求に対応するため、このDRAM (Dynamic Random Accesss Memory) やSRAM (Static Random Accesss Memory) 等の半導体メモリを利用した半導体ディスク装置が実用化されている

【0003】 このような従来の半導体ディスク装置としては、例えば、図7に示すような構成のものがある。

【0004】 図7において、1は半導体ディスク装置を制御するCPU (Central Process-ing Unit)、2はコ

ンピュータ本体との間のデータ授受を制御するSCSI (Small Computer System Interface) インターフェースコントローラ、3はDRAMにより構成される半導体メモリ、4は半導体メモリ3の記憶内容のバックアップを行う磁気ディスク装置、5はシステムの電源断を検出すると、CPU1にバックアップ命令を発行し、半導体メモリ3に記憶されているデータを磁気ディスク装置4に書込むように指示する電源断監視装置、6は電源断からバックアップが完了するまで動作を保証するバッテリである

【0005】 また、その他の半導体ディスク装置の構成を図8に示す

【0006】 図8において、7は半導体ディスク装置を制御するCPU、8はコンピュータ本体との間のデータ授受を制御するSCSI インターフェースコントローラ、9はDRAMにより構成される半導体メモリ、10はシステムの電源とは別に常にAC100Vから半導体ディスク装置に電源を供給して半導体メモリ9に書込まれたデータを保持する専用電源、11は停電等の一時的な電源断から半導体メモリ9を保護するためのバッテリである

【0007】

【発明が解決しようとする課題】 しかしながら、このような従来の半導体ディスク装置にあつては、上記図7に示した半導体ディスク装置の場合は、半導体メモリ3に書込まれたデータを保護するために磁気ディスク装置4を使用しているため、コスト高になるという問題点があった

【0008】 また、上記図8に示した半導体ディスク装置の場合は、半導体メモリ9に書込まれたデータを保護するために必ず専用電源10を投入していなければならないし、万一の長時間の停電等によりバックアップのバッテリ11が切れて、半導体メモリ9のデータを消去してしまう危険性がある

【0009】 また、DRAMやSRAM等の電源バックアップが必要な半導体メモリとは異なり、電源を切つてもデータが消えない不揮発性メモリとして、Flash型EEPROM (Electrically Erasable Programmable Read Only Memory、以下、単にフラッシュROMという) 等に代表される半導体メモリが開発されているが、書込み／消去時間が長いため、半導体ディスク装置として実用化するに至っていない

【0010】 このフラッシュROMの書込み／消去時間が長くなる理由を図9に示すフラッシュROMを利用した半導体ディスク装置の構成及び図10に示すフラッシュROMの構成を参照して説明する

【0011】 図9において、半導体ディスク装置は、上記図7、8に示したものと同様のCPU11及びSCSI インターフェースコントローラ12と、フラッシュROMにより構成される半導体メモリ13、半導体メモリ

13に書込むべきデータを、一時的に記憶する一次メモリ14から構成されている。

【0012】この半導体ディスク装置において、半導体メモリ13は、そのフラッシュROM内のデータ書込領域が、図10に示すように、複数のデータブロック(①～③)に分割されている場合、例えば、データブロック②にデータを書込もうとしたとき、このデータブロック②に対して消去コマンドを発行する。次いで、消去動作のリカバリタイムを待った後、そのデータブロック②内のデータが消去されたか否かを確認し、消去されていなければ、再度消去コマンドを発行するという、一連の動作が必要である。

【0013】このようにフラッシュROMを利用した場合は、消去確認動作が必要になる。通常、この消去動作は制御用CPUのソフト処理により行われるが、この処理時間が長いため、スループットを大幅に低下させる要因になっている。

【0014】また、消去確認後、このデータブロック②にデータを書込むが、1ワードのライト動作毎に消去確認のためのリカバリタイムが必要であり、このリカバリタイムによって、さらにスループットを低下させている。

【0015】本発明の課題は、不揮発性メモリに対する書込み/消去時間の短縮を実現する記憶制御装置を提供するようにすることである。

【0016】

【課題を解決するための手段】本発明の手段は次の通りである。

【0017】請求項1記載の発明は、指定アドレスにより複数の記憶領域を形成し、データが書込まれた記憶領域に対して随時消去動作が必要な記憶手段と、この記憶手段において消去動作が行われたか否かを各記憶領域の指定アドレスに基づいて管理する管理手段と、上記記憶手段の指定アドレス毎にデータ書込み要求を受け付けると、上記管理手段の記憶する指定アドレスデータに基づいて該書込み要求を受けた当該指定アドレスの記憶領域が消去済みか否かを確認し、消去済みでないとき、当該他の消去済み記憶領域の指定アドレスを当該指定アドレスに変換するアドレス変換手段と、このアドレス変換手段により変換される指定アドレスに基づいて上記記憶手段に形成される記憶領域に対するデータ書込み動作を制御するとともに、当該変換指定アドレスに対する消去動作を制御する制御手段と、を具備したことを特徴としている。

【0018】請求項2記載の発明は、指定アドレスにより複数の記憶領域を形成し、データが書込まれた記憶領域に対して随時消去動作が必要な記憶手段と、入力される指定アドレスに基づいて記憶手段の各記憶領域に対するデータの書込み動作及び消去動作を制御する制御手段と、を備えた記憶制御装置において、上記制御手段から

出力される消去命令に応じて上記記憶手段の各記憶領域に対する消去動作を実行するとともに、この消去動作の完了を確認し、消去確認信号を上記制御手段に出力する消去手段を設け、上記制御手段は、この消去確認手段から入力される消去確認信号により上記記憶手段の各記憶領域におけるデータ消去を確認することを特徴としている。

【0019】

【作用】本発明の手段の作用は次の通りである。

【0020】請求項1記載の発明によれば、指定アドレスにより複数の記憶領域を形成し、データが書込まれた記憶領域に対して随時消去動作が必要な記憶手段において管理手段により消去動作が行われたか否かを各記憶領域の指定アドレスに基づいて管理され、上記記憶手段の指定アドレス毎にデータ書込み要求を受け付けると、アドレス変換手段により上記管理手段の記憶する指定アドレスデータに基づいて該書込み要求を受けた当該指定アドレスの記憶領域が消去済みか否かを確認され、消去済みでないとき、当該他の消去済み記憶領域の指定アドレスが当該指定アドレスに変換され、制御手段により、このアドレス変換手段により変換される指定アドレスに基づいて上記記憶手段に形成される記憶領域に対するデータ書込み動作が制御されるとともに、当該変換指定アドレスに対する消去動作が制御される。

【0021】したがって、ホストは消去動作を待たずにデータ書込みを行うことができ、ホストから記憶手段に対してデータ書込みを行う際の処理速度を高速にすることができる。

【0022】請求項2記載の発明によれば、指定アドレスにより複数の記憶領域を形成し、データが書込まれた記憶領域に対して随時消去動作が必要な記憶手段と、この記憶手段に対する指定アドレスによるデータの書込み動作及び消去動作を制御する制御手段と、を備えた記憶制御装置において、消去手段により上記制御手段から出力される消去命令に応じて上記記憶手段の各記憶領域に対する消去動作が実行されるとともに、この消去動作の完了が確認されると、消去確認信号が上記制御手段に出力され、上記制御手段では、この消去確認手段から入力される消去確認信号により上記記憶手段の各記憶領域におけるデータ消去が確認される。

【0023】したがって、制御手段は記憶手段における消去動作及び消去確認動作を制御する必要がなくなり、制御手段を記憶手段のその他の指定アドレスへのデータ書込み処理に専有して使用することができ、データ書込処理効率をさらに向上して、データ書込みスピードをさらに高速にすることができる。

【0024】その結果、記憶データ保持のための電源バックアップが不要な不揮発性半導体を利用し、書込み/消去動作時間が高速な記憶制御装置を提供することができる。

【0025】

【実施例】以下、図1～図6を参照して実施例を説明する。

【0026】図1～図6は、本発明の記憶制御装置を適用した半導体ディスク装置の実施例を示す図である。

【0027】まず、構成を説明する。図1は、半導体ディスク装置のブロック構成図である。この図において、半導体ディスク装置20は、SCSIインターフェースコントローラ21、制御用CPU22、一次メモリ23、SRAM24及びフラッシュROM（F-ROM）25～27により構成される。

【0028】SCSIインターフェースコントローラ21は、図外のホスト（コンピュータ本体）と半導体ディスク装置20との間でSCSIインターフェースを介して行うデータ授受を制御する。

【0029】制御用CPU22は、ROM内に格納される書込／消去制御プログラムに基づいて半導体ディスク装置20内の各部を制御して、フラッシュROM25～27に対する書込／消去制御処理を実行する。すなわち、制御用CPU22は、図外のホストから入力される指定アドレスデータ及びSCSIインターフェースコントローラ21を介して入力されるデータを一時的に一次メモリ23に格納し、入力された指定アドレスデータのフラッシュROM25～27内の消去動作が終了しているか否かを一次メモリ23に格納されている後述するブロック管理テーブルに基づいて確認し、消去動作が完了していないときは、消去が完了しているデータブロックの指定アドレスを当該指定アドレスに変換してデータ書込み動作を制御するとともに、当該変換指定アドレスのデータブロックに対する消去動作を制御する。

【0030】一次メモリ23は、制御用CPU22により転送される指定アドレスデータ及び書込みデータを一時的に記憶する記憶領域を形成するとともに、図2に示すように、フラッシュROM25～27内に指定アドレスによって形成される複数のデータブロック（1～n）毎に消去動作が完了しているか否かを示すビットデータを格納するブロック管理テーブルを形成する。このブロック管理テーブルにおいては、制御用CPU22が、指定アドレスにおける消去動作の完了を確認するために、“データ有（未消去）”か、“データ無（消去完了）”かを示すビットデータを格納するものとする。

【0031】SRAM24は、フラッシュROM25～27内に形成される各データブロックに該当する指定アドレスデータを格納する記憶領域を形成し、本実施例では、その指定アドレスデータを昇順に格納するものとする。

【0032】フラッシュROM25～27は、それぞれ図3に示すように、アドレスバッファ31、データバッファ32、アドレスカウンタ33、レングスカウンタ34、リカバリタイム35、一致回路36及びフラッシュ

ROM部37により構成される。

【0033】アドレスバッファ31は、アドレスバス41に接続し、図外の制御用CPU22からアドレスバス41を介して入力される指定アドレスデータを一時的に格納してフラッシュROM部37に出力する。

【0034】データバッファ32は、データバス42に接続し、図外の制御用CPU22からデータバス42を介して入力される書込みデータを一時的に格納してフラッシュROM部37に出力する。

【0035】また、アドレスバッファ31とデータバッファ32は、制御用CPU22から消去コマンドが発行された時、それぞれアドレスバス41とデータバス42との接続が閉じられ、制御用CPU22から切り離される。

【0036】アドレスカウンタ33は、レングスカウンタ34から入力されるレングスカウントデータ（ハルス信号）に基づいてアドレス値をカウントアップしてフラッシュROM部37に出力する。

【0037】レングスカウンタ34は、リカバリタイム35から入力されるタイムアップ信号に基づいて消去すべきブロック分のデータ長をカウントするレングスカウントを開始し、そのレングスカウントデータ（ハルス信号）をアドレスカウンタ33に出力するとともに、データの確定時期を示すストローブハルスを一致回路36に出力する。また、レングスカウンタ34は、規定レングス分カウントアップすると、終了信号を図外の制御用CPU22に出力し、消去動作が終了したことを通知する。

【0038】リカバリタイム35は、消去動作に必要なリカバリタイムを設定するタイマであり、図外の制御用CPU22から消去コマンドが発行されると、このリカバリタイムのカウントを開始し、そのリカバリタイムのカウントアップ信号をレングスカウンタ34に出力し、レングスカウントを開始させる。

【0039】一致回路36は、レングスカウンタ34から入力されるストローブハルスのタイミングで消去確認動作を実行し、アドレスカウンタ33のアドレスカウンタ値にフラッシュROM部37から出力されるデータが、データの消去を示すデータ“1”（hex）と比較することによりデータ消去を確認し、このデータ“1”と一致しないときは、消去動作が完了していないと判断して、エラー信号を図外の制御用CPU22に出力し、制御用CPU22から消去コマンドの再発行を促す。

【0040】フラッシュROM部37は、消去回路38を内蔵しており、この消去回路38によってフラッシュROM部37内のデータの消去が行われる。消去回路38は、データバス42を介して制御用CPU22からデータバッファ32に入力される消去コマンドに応じて消去動作を開始し、アドレスバス41を介して制御用CPU

じ22からアドレスバッファ31に入力される指定アドレスデータに応じて、その指定アドレスのデータを消去し、その結果を一致回路36に出力する。

【0041】次に、本実施例の動作を説明する。

【0042】まず、上記半導体ディスク装置20に対する外部ホストからのアクセスにより半導体ディスク装置20内の制御用CPU22で実行されるデータ書込み処理について図4に示すフローチャートに基づいて説明する。

【0043】図4において、制御用CPU22は、外部ホストからデータ書込みコマンド及び書込みデータが発行され、SCSIインターフェースコントローラ21を介して入力されるとともに、その書込み指定アドレスデータが入力されると、受信データを一次メモリ23に格納した後（ステップS1）、受信完了を示す完了応答信号をホストへ送信する（ステップS2）。

【0044】次いで、指定アドレスに対応する一次メモリ23内のブロック管理テーブルのビットをチェックし（ステップS3）、指定アドレスにおける消去動作の完了を確認するビットが“データ有（未消去）”か、“データ無（消去完了）”かを確認する（ステップS4）。“データ無（消去完了）”のときは、ホストからの指定アドレスのデータを、この指定アドレスに対応するSRAM24の格納位置にセットし（ステップS5）、ホストからの指定アドレスに対応するSRAM24内の格納位置にセットされたアドレスデータによりフラッシュROM25～27内のアドレスを指定し（ステップS6）、一次メモリ23に先に格納したデータを書込んで本処理を終了する（ステップS7）。

【0045】一方、上記ステップS4で一次メモリ23内のブロック管理テーブルに格納する指定アドレスのビットが“データ有（未消去）”のときは、指定アドレスのブロックを含むフラッシュROM25～27に消去コマンドを発行し（ステップS8）、指定アドレスに対応するブロック管理テーブル内の当該指定アドレス以外のブロック管理テーブル内で“データ無（消去完了）”のビットを検索する（ステップS9）。

【0046】次いで、検索した“データ無（消去完了）”のビットのアドレスデータをホストから指定アドレスに対応するSRAM24のアドレス位置にセットし（ステップS10）、ホストからの指定アドレスに対応するSRAM24内の格納位置にセットされたアドレスデータによりフラッシュROM25～27内のアドレスを指定し（ステップS6）、一次メモリ23に先に格納したデータを書込んで本処理を終了する（ステップS7）。

【0047】以上のデータ書込み処理に基づくフラッシュROM25～27の指定アドレスへのデータ書込み動作について図5、図6に示すSRAM24とフラッシュROM25～27へのアドレスデータ及び書込みデータ

の格納状態を参照して説明する。

【0048】まず、図5において、ホストからの指定アドレスによりフラッシュROM25～27のブロック2に対するデータ書込み要求が入力されたとすると、SRAM24内の対応するアドレスブロック2にそのフラッシュROM25～27の指定アドレスデータ2が格納され、このアドレスブロック2に格納されたアドレスデータ2に従って一次メモリ23に格納されている書込みデータが、その対応するフラッシュROM25～27内の指定アドレスブロックに書込まれる。

【0049】一方、図5において、ホストからの指定アドレス2に対応するフラッシュROM25～27内の指定アドレスブロックのデータ消去が完了していないときは、フラッシュROM25～27内の指定アドレス以外のデータ消去が完了しているアドレスブロックが、一次メモリ23内に格納されているブロック管理テーブル内のビットを参照して検索され、例えば、図6に示すように、ブロックnのデータ消去が完了しているとすると、そのアドレスデータnがSRAM24内の対応する指定アドレスブロック2に格納され、一次メモリ23に格納された書込みデータ2'が、そのアドレスブロックnに書込まれる。

【0050】したがって、本実施例の半導体ディスク装置20では、ホストからの書込み指定アドレスに対応するフラッシュROM25～27内のアドレスブロックのデータ消去が完了していない時、他のデータ消去が完了しているアドレスブロックに指定アドレスが変換されてデータ書込みが行われるため、ホストは、消去動作を待たずにデータ書込みを行うことができ、ホストからフラッシュROMに対してデータ書込みを行う際の処理速度を高速にすることができる。

【0051】また、上記制御用CPU22からフラッシュROM25～27に対して消去コマンドが出力されると、上記図3に示したフラッシュROM25～27内では、リカバリタイム35のリカバリタイムのカウントを開始し、アドレスバッファ31とデータバッファ32のアドレスバス41及びデータバス42に対する接続を閉じて、各フラッシュROM25～27は、制御用CPU22から切り離される。リカバリタイム35では、リカバリタイムの設定時間経過後に、タイムアップ信号をレンジカウンタ34に出力すると、レンジカウンタ34のレンジカウントを開始させる。また、レンジカウンタ34では、アドレスカウンタ33に対してハルス信号を出力するとともに、一致回路36に対してデータの確定時期を示すストロブハルスを出力する。

【0052】アドレスカウンタ33では、レンジカウンタ34から入力されるハルス信号のハルスタイミングに同期してアドレスカウントをカウントアップし、そのアドレスデータをフラッシュROM部37に出力する。フラッシュROM部37内の消去回路38では、アドレ

スカウンタ33から入力されるアドレスデータに応じて、そのアドレスブロックのデータを読み出して、致回路36に出力する。致回路36では、フラッシュROM部37から入力されるデータが、“D.F (hex)”と一致するか否かを比較することによりデータ消去が完了したか否かが判別し、一致しない場合は、消去動作が完了していないと判断して、エラー信号を図外の制御用CPU22に出力し、制御用CPU22に対して消去コマンドの再発行を促す。

【0053】また、レンジスカウンタ34では、規定のレンジ分カウントアップすると、終了信号を図外の制御用CPU22に出力し、消去動作が終了したことを通知する。

【0054】したがって、本実施例のフラッシュROM25～27内では、制御用CPU22からの消去コマンドの発行に応じて、指定アドレスブロックに対する消去動作と消去確認動作が自動的に実行されるため、制御用CPUでは、フラッシュROM25～27から出力されるエラー信号及び消去終了信号に応じて消去コマンドの発行するだけでよく、フラッシュROM25～27における消去動作及び消去確認動作を制御する必要がなくなり、フラッシュROM25～27に対するその他の指定アドレスのデータ書込み処理に専有して使用することができ、データ書込処理効率をさらに向上して、フラッシュROMに対するデータ書込みスピードをさらに高速にすることができる。

【0055】

【発明の効果】本発明によれば、ホストは消去動作を待たずにデータ書込みを行うことができ、ホストから記憶手段に対してデータ書込みを行う際の処理速度を高速にすることができる。

【0056】また、制御手段は記憶手段における消去動作及び消去確認動作を制御する必要がなくなり、制御手段を記憶手段のその他の指定アドレスへのデータ書込みに専有して使用することができ、データ書込処理効率をさらに向上して、データ書込みスピードをさらに高速にすることができる。

【0057】その結果、記憶データ保持のための電源バ

ックアップが不要な不揮発性半導体を利用し、書込み・消去動作時間が高速な記憶制御装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の記憶制御装置を適用した半導体ディスク装置のブロック構成図

【図2】図1の一次メモリに格納されるブロック管理テーブルの構成図

【図3】図1のフラッシュROM内の回路構成を示すブロック図

【図4】図1の制御用CPUにより実行されるデータ書込処理のフローチャート

【図5】図1のSRAM及びフラッシュROMにおけるアドレスデータの格納状態を示す図

【図6】図1のSRAM及びフラッシュROMにおけるアドレスデータの格納状態を示す図

【図7】従来の半導体ディスク装置のブロック構成図

【図8】従来のその他の半導体ディスク装置のブロック構成図

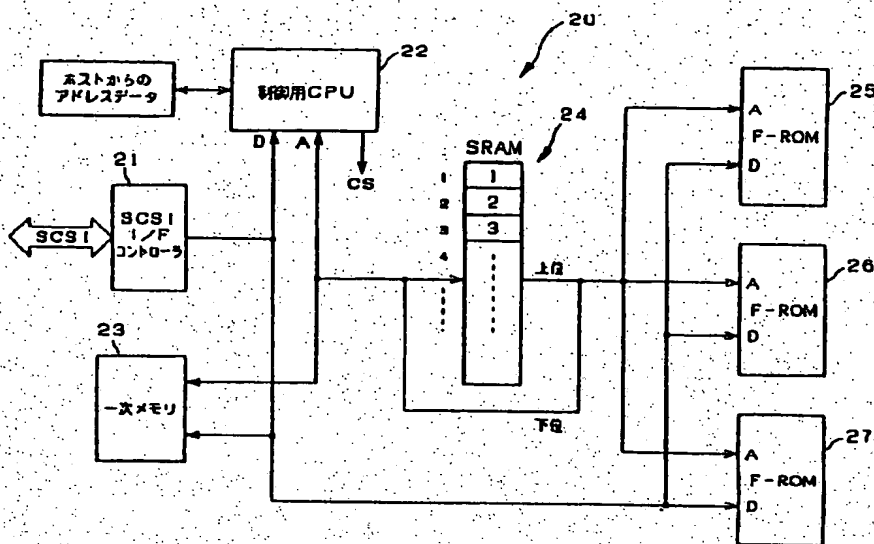
【図9】従来のフラッシュROMを利用して半導体ディスク装置のブロック構成図

【図10】図9のフラッシュROM内の構成を示す図

【符号の説明】

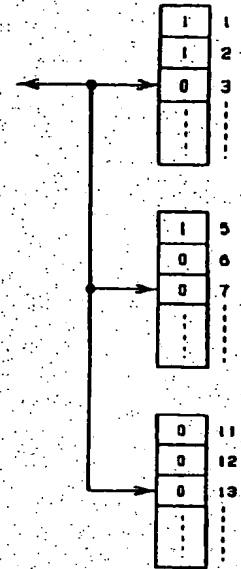
- 20 半導体ディスク装置
- 21 SCSIインターフェースコントローラ
- 22 制御用CPU
- 23 一次メモリ
- 24 SRAM
- 25～27 フラッシュROM
- 31 アドレスバッファ
- 32 データバッファ
- 33 アドレスカウンタ
- 34 レンジスカウンタ
- 35 リカバリカウンタ
- 36 致回路
- 37 フラッシュROM部
- 38 消去回路

【図1】

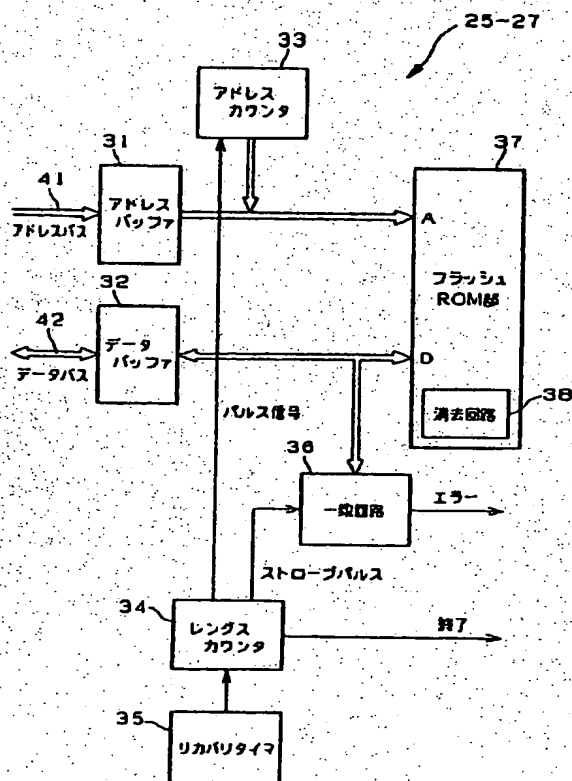


【図2】

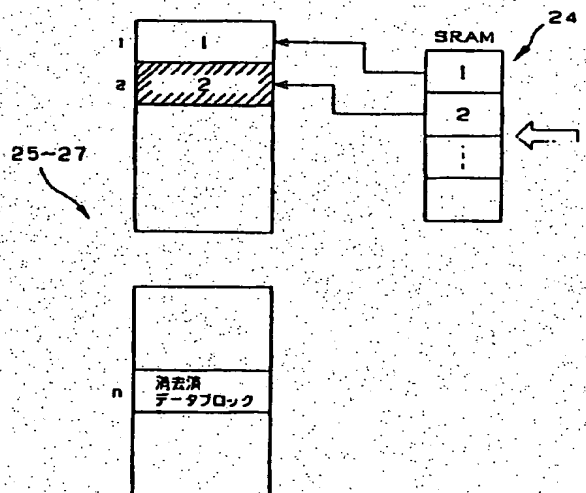
ブロック管理テーブル



【図3】

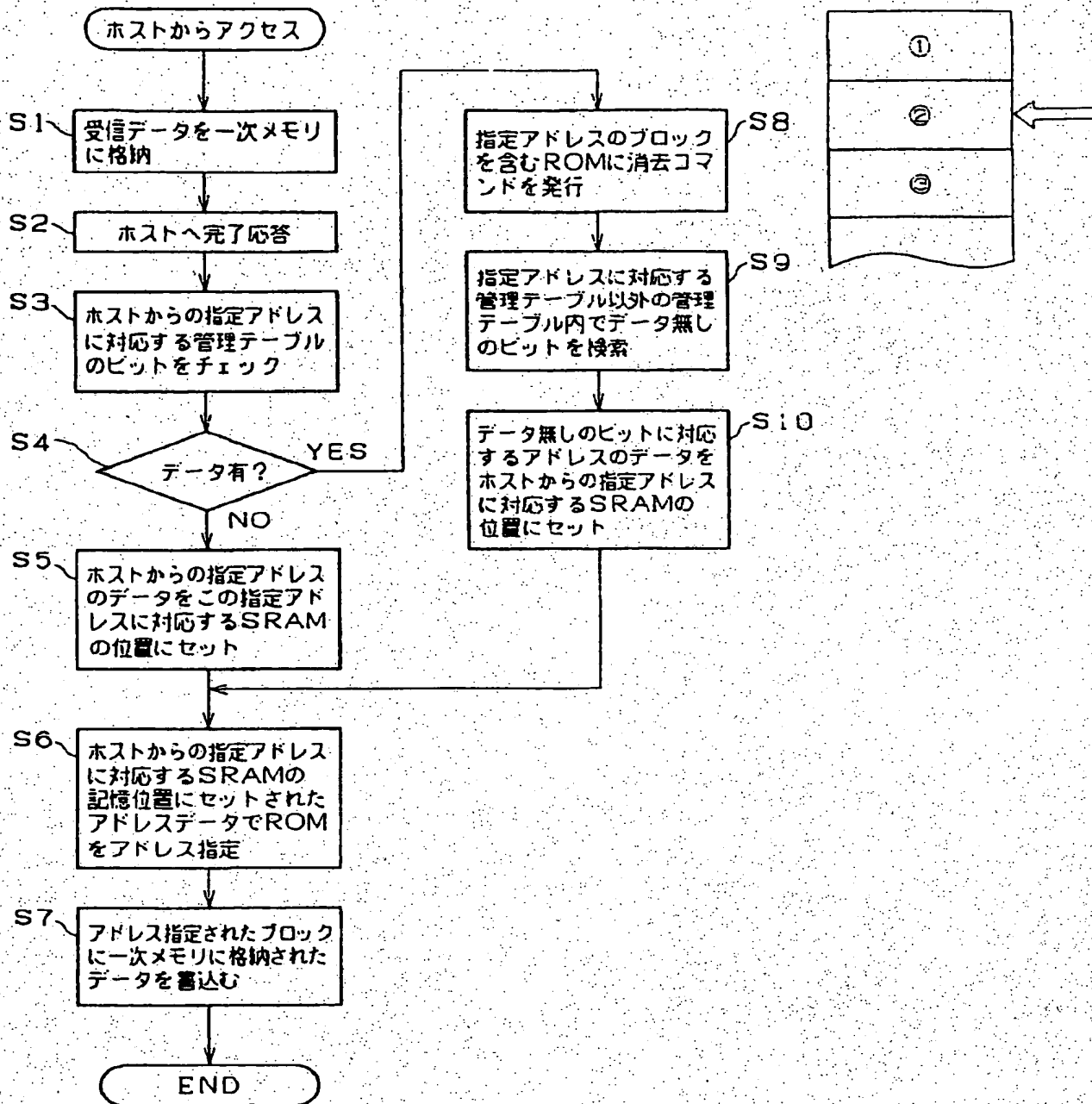


【図5】

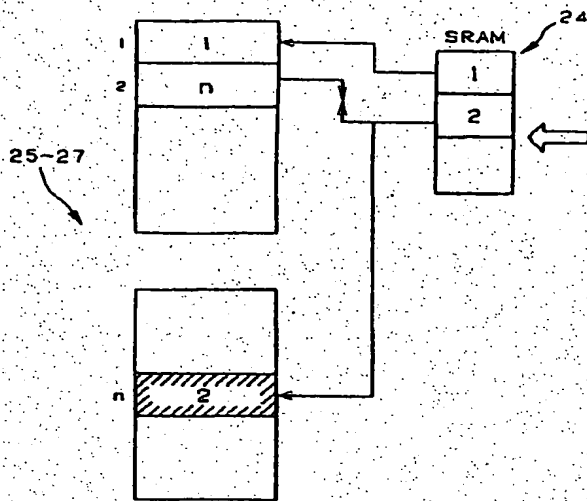


【図4】

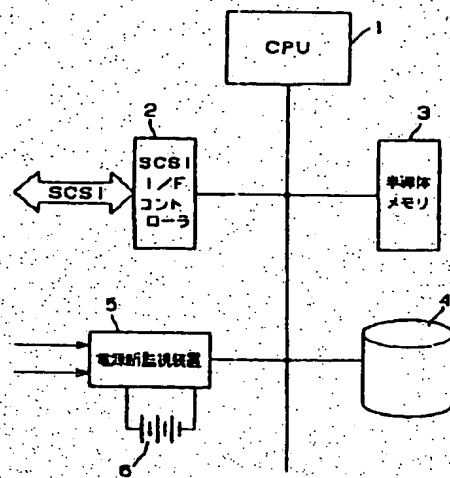
【図10】



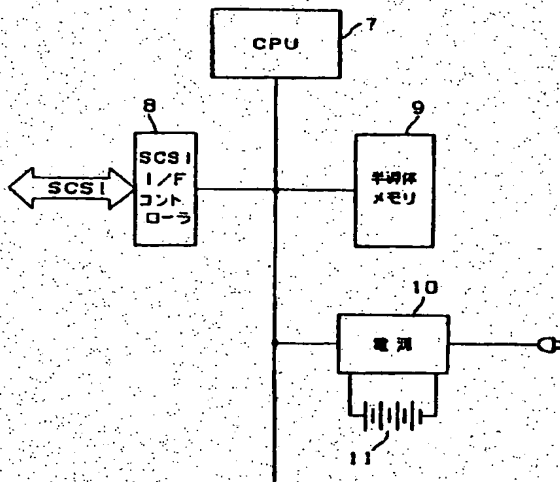
【図6】



【図7】



【図8】



【図9】

